

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 2 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 7 7 4 0 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 7 7 4 0 9]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 3 年 9 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0G004789

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

 【氏名】 夏目 賢一

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100089093

 【弁理士】

 【氏名又は名称】 大西 健治

【手数料の表示】

 【予納台帳番号】 004994

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算回路

【特許請求の範囲】

【請求項 1】 一方の入力データDAと固定データ"0"が入力され、該データが制御信号ENBにより選択出力される第1のセレクトと、

他方の入力データDBと後記レジスタの出力データが入力され、該データが前記制御信号ENBにより選択出力される第2のセレクトと、

前記第1のセレクトの出力信号SAと前記第2のセレクトの出力信号SBを入力してSA+SBを演算する加算器と、

該加算器の出力信号S0を入力して、クロック信号に同期して該出力信号を保持するレジスタと、

を備えたことを特徴とする演算回路。

【請求項 2】 一方の入力データDAと固定データ"-1"が入力され、該データが制御信号ENBにより選択出力される第1のセレクトと、

他方の入力データDBと後記レジスタの出力データが入力され、該データが前記制御信号ENBにより選択出力される第2のセレクトと、

前記制御信号ENBを入力してその反転信号を出力するインバータ回路と、

前記第1のセレクトの出力信号SAと前記第2のセレクトの出力信号SBとを加算入力に入力すると共に、前記インバータ回路の出力信号をキャリー入力端子CIに入力し、SA+SB+CIの演算を行う加算器と、

該加算器の出力信号S0を入力して、クロック信号に同期して該出力信号を保持するレジスタと、

を備えたことを特徴とする演算回路。

【請求項 3】 一方の入力データDAを入力し、制御信号ENBが有効の時に該入力データを通過させ、該制御信号が無効の時にデータを保持する第1のラッチ回路と、

他方の入力データDBを入力し、制御信号ENBが有効の時に該入力データを通過させ、該制御信号が無効の時にデータを保持する第2のラッチ回路と、

前記第1のラッチ回路の出力信号SAと前記第2のラッチ回路の出力信号SBを入

力してSA+SBを演算する加算器と、

該加算器の出力信号S0を入力して、クロック信号に同期して該出力信号を保持するレジスタと、
を備えたことを特徴とする演算回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体集積回路に於ける演算器及びその周辺回路の構成に関する。

【 0 0 0 2 】

【従来の技術】

従来、半導体集積回路に於ける演算器及びその周辺回路の構成に関して、図 7 に示すような回路構成の演算回路があった。この回路によれば、加算器 7 2 の一方の入力データDAはANDゲート 7 1 の一方の入力に入力され、他方の入力データDBはANDゲート 7 0 の一方の入力に入力されている。ANDゲート 7 0、7 1 の他方の入力端子には、演算データが有効であることを示す信号ENBが入力され、この信号が論理”H”レベル（有効）のときに、前記入力データDA, DBがANDゲートを通過して加算器 7 2 に入力されるようになっており、前記信号ENBが論理”L”レベル（無効）の時には、加算器の入力SA, SBを共に”L”レベルとすることにより、演算器 7 2 を動作させないようにして、回路の低消費電力化を図っている（図 8 のタイムチャート参照）。

【 0 0 0 3 】

上記以外にも、演算回路の例として以下に示す文献がある。

【 0 0 0 4 】

【特許文献 1】

特開平 5 - 8 0 9 7 8 号公報

【特許文献 2】

特開 2 0 0 2 - 1 3 2 4 9 2 号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、前記従来の演算回路においては、演算器の前段にAND回路等のゲート回路を設けているために、データ入力から、レジスタ74までのパスの遅延が大きくなり、高速化しにくい欠点があった。

【0006】

この発明は、前記従来の問題点を解決して、被演算データの入力から、演算結果の出力までの遅延を極力小さくした演算回路を提供することを目的とする。

【0007】**【課題を解決するための手段】**

そのために、この発明の演算回路においては、一方の入力データDAと固定データ"0"が入力され、このデータが制御信号ENBにより選択出力される第1のセレクトタと、他方の入力データDBとレジスタの出力データが入力され、このデータが制御信号ENBにより選択出力される第2のセレクトタと、第1のセレクトタの出力信号SAと第2のセレクトタの出力信号SBを入力して $SA+SB$ を演算する加算器と、加算器の出力信号S0を入力して、クロック信号に同期して該出力信号を保持するレジスタとを備えている。これにより、データ入力からレジスタに保持するまでのデータパスのゲート段数を少なく構成できるので、高速化が容易であり、また低消費電力化も図ることが出来る。

【0008】

また、この発明の演算回路の別の構成においては、一方の入力データDAと固定データ"-1"が入力され、このデータが制御信号ENBにより選択出力される第1のセレクトタと、他方の入力データDBとレジスタの出力データが入力され、このデータが制御信号ENBにより選択出力される第2のセレクトタと、制御信号ENBを入力してその反転信号を出力するインバータ回路と、第1のセレクトタの出力信号SAと第2のセレクトタの出力信号SBとを加算入力に入力すると共に、インバータ回路の出力信号をキャリー入力端子CIに入力し、 $SA+SB+CI$ の演算を行う加算器と、この加算器の出力信号S0を入力して、クロック信号に同期して該出力信号を保持するレジスタとを備えている。これにより、上述と同様に、データ入力からレジスタに保持するまでのデータパスのゲート段数を少なく構成できるので、高速化が容易

であり、また低消費電力化も図ることが出来る。

【 0 0 0 9 】

更に、この発明の演算回路の別の構成によれば、一方の入力データDAを入力し、制御信号ENBが有効の時にこの入力データを通過させ、制御信号が無効の時にデータを保持する第1のラッチ回路と、他方の入力データDBを入力し、制御信号ENBが有効の時に該入力データを通過させ、制御信号が無効の時にデータを保持する第2のラッチ回路と、第1のラッチ回路の出力信号SAと第2のラッチ回路の出力信号SBを入力してSA+SBを演算する加算器と、この加算器の出力信号S0を入力して、クロック信号に同期して該出力信号を保持するレジスタとを備えている。これにより、データ入力からレジスタに保持するまでのデータパスのゲート段数を少なく構成できるので、高速化が容易であり、また、ENB信号が無効の時に入力に変化しても、加算器に入力されるデータは変化しないので、加算器の内部状態も変化せず、更なる低消費電力化を図ることが出来る。

【 0 0 1 0 】

【発明の実施の形態】

以下、この発明の実施の形態について、図面を参照しながら詳細に説明する。尚、以下の説明に於いて、信号レベルを”H”レベル、”L”レベルと記載した場合は、それぞれ論理”1”及び”0”に対応するものとする。

【 0 0 1 1 】

〔第1の実施の形態〕

図1は、この発明の第1の実施の形態における演算回路の構成を示す回路図である。セクタ11には、一方の入力データDAとデータ”0”が入力され、セクタ10には他方の入力データDBとレジスタ13の出力データD0が入力されている。これらのセクタ10、11の選択信号として、書き込みイネーブル信号ENBが入力されている。

【 0 0 1 2 】

セクタ11の出力信号SAとセクタ10の出力信号SBは、加算器12の被加算データとして入力され、加算器12から加算結果S0が出力される。この加算結果S0はレジスタ13に入力され、クロック信号CLKの立ち上がりエッジでこのデ

ータがレジスタ 13 に取り込まれる。

【0013】

以下、動作について詳細に説明する。図2は、本実施の形態における演算回路の動作を説明する為のタイムチャートである。簡単のため、時刻T0以前は、データDA、DB及びレジスタ13は図示しないリセット信号により値"0"に初期化されているものとする。

【0014】

時刻T0において、データDA、DBはそれぞれda0, db0となるが、書き込みイネーブル信号ENBが"L"レベルである為、セクタ10, 11は、それぞれ選択値"0"側の信号"0"、D0を選択し、D0は初期化されて"0"となっているため、SA=SB="0"となる。従って、この時の加算器12の出力S0は"0"となる。

【0015】

時刻T1において、データDA、DBはそれぞれda1, db1に変化し、書き込みイネーブル信号ENBは"H"レベル（有効）となる。この時、セクタ10, 11はそれぞれDB, DAを選択するので、SA=DA=da1、SB=DB=db1となり、加算器12の出力S0は $S0 = da1 + db1$ となる。

【0016】

時刻T2において、クロック信号CLKの立ち上がりエッジでレジスタ13は、この加算結果 $S0 = da1 + db1$ をラッチする。この時刻T2において、入力データDA、DBはそれぞれda2, db2に変化するが、書き込みイネーブル信号ENBが"L"レベルである為に、セクタ11の出力SAは値"0"となり、セクタ10の出力SBはレジスタ13の出力D0= $da1 + db1$ となる。従って加算器12の出力S0は $S0 = da1 + db1$ となり、時刻T1の状態に対して変化しない。

【0017】

時刻T3においては、クロック信号CLKの立ち上がりエッジで加算器12の出力信号S0の値をラッチするが、この値は $S0 = da1 + db1$ であるので、以前の値が保持される。この時、入力データDA、DBはそれぞれda3, db3に変化するが、書き込みイネーブル信号ENBが"L"レベルである為に、時刻T2の時と同様に、加算器12の入力信号SA、SB及び出力信号S0は変化しない。

【0018】

時刻T4では、入力データDA, DBはそれぞれda4, db4に変化し、書き込みイネーブル信号ENBが“H”レベルとなるので、セクタ11はDAを選択し、セクタ10はDBを選択する。これにより加算器12の入力信号はSA=da4、SB=db4となり、出力信号S0は $S0=da4 + db4$ となる。

【0019】

時刻T5におけるクロック信号CLKの立ち上がりエッジで、レジスタ13は、この演算結果 $S0=da4 + db4$ をラッチする。このとき、入力データDA, DBはそれぞれda5, db5に変化するが、書き込みイネーブル信号ENBが“L”レベルである為、セクタ11は値“0”を選択し、セクタ10はレジスタ13の出力信号 $D0=da4+db4$ を選択し、SA=“0”、SB=da4 + db4となる。従って、加算器12の出力信号S0は $S0=da4 + db4$ となる。

【0020】

この実施の形態においては、データ入力からレジスタに保持するまでのデータパスのゲート段数を少なく構成できるので、高速化が容易であり、また低消費電力化も図ることが出来る。

【0021】

[第2の実施の形態]

図3は、この発明の第2の実施の形態における演算回路の構成を示す回路図である。セクタ20には、一方の入力DAとデータ“-1”が入力され、セクタ21には他方の入力データDBとレジスタ24の出力データD0が入力されている。これらのセクタ20, 21の選択信号として、書き込みイネーブル信号ENBが入力されている。

【0022】

このENB信号はインバータ23にも入力され、その出力信号が加算器22のキャリー入力端子CIに接続されている。

【0023】

セクタ20の出力信号SAとセクタ21の出力信号SBは、加算器22の加算データ入力として入力され、加算器22から加算結果S0が出力される。この加算

結果S0はレジスタ24に入力され、クロック信号CLKの立ち上がりエッジでこのデータがレジスタ24に取り込まれる。

【0024】

前記キャリー入力端子CIは加算器22の0ビット目のキャリー入力用の端子であり、この実施の形態における加算器22では、 $S0=SA+SB+CI$ の演算が行われ、この結果がレジスタ24に取り込まれる。

【0025】

以下、動作について詳細に説明する。図4は、本実施の形態における演算回路の動作を説明する為のタイムチャートである。簡単のため、時刻T0以前は、データDA、DB及びレジスタ24は図示しないリセット信号により値"0"に初期化されているものとする。

【0026】

時刻T0において、データDA、DBはそれぞれda0、db0となるが、書き込みイネーブル信号ENBが"L"レベルである為、セクタ20、21は選択値"0"側の信号"-1"、D0を選択し、D0は初期化されて"0"となっているため、 $SA=-1$ 、 $SB=0$ となる。また、インバータ23の出力は"H"レベルとなるので、加算器22において、 $SA+SB+CI=0-1+1$ の演算がおこなわれる。従って、この時の加算器22の出力S0は"0"となる。

【0027】

時刻T1において、クロック信号CLKの立ち上がりエッジで、レジスタ24はこの加算結果 $S0=0$ をラッチする。入力データDA、DBはそれぞれda1、db1に変化し、書き込みイネーブル信号ENBは"H"レベル（有効）となる。この時、セクタ20、21はそれぞれDA、DBを選択するので、 $SA=DA=da1$ 、 $SB=DB=db1$ となり、また、キャリー入力CIは $CI=0$ となるので、加算器22の出力S0は $S0=da1 + db1$ となる。

【0028】

時刻T2においてクロック信号CLKの立ち上がりエッジでレジスタ24は、この加算結果 $S0=da1 + db1$ をラッチする。この時刻T2において、入力データDA、DBはそれぞれda2、db2に変化するが、書き込みイネーブル信号ENBが"L"レベルである為、セクタ20の出力SAは値"-1"となり、セクタ21の出力SBはレジスタ

13の出力 $D0=da1+db1$ となる。また、キャリー入力端子CIには”H”レベルに相当する論理値”1”が入力される。従って加算器22では、 $da1+db1-1+1$ の演算が実行され、その出力 $S0$ は $S0=da1 + db1$ となる。

【0029】

時刻T3においては、クロック信号CLKの立ち上がりエッジで加算器22の出力信号 $S0$ の値をラッチするが、この値は $S0=da1 + db1$ であるので、レジスタ24の値は変化しない。この時、入力データDA, DBはそれぞれ $da3, db3$ に変化するが、書き込みイネーブル信号ENBが”L”レベルである為に、時刻T2の時と同様に、加算器12の入力信号SA, SB及び出力信号 $S0$ は変化せず $S0=da1 + db1$ となる。

【0030】

時刻T4では、クロック信号CLKの立ち上がりエッジでこの出力信号 $S0$ がラッチされ、レジスタ24の内容は変化しない。時刻T4では、入力データDA, DBはそれぞれ $da4, db4$ に変化し、書き込みイネーブル信号ENBが”H”レベルとなるので、セクタ20はDAを選択し、セクタ21はDBを選択する。またキャリー入力信号CIは”L”レベルに相当する論理値”0”となる。これにより加算器22の入力信号は $SA=da4, SB=db4, CI=0$ となり、出力信号 $S0$ は $S0=da4 + db4$ となる。

【0031】

時刻T5におけるクロック信号CLKの立ち上がりエッジで、レジスタ24は、この演算結果 $S0=da4 + db4$ をラッチする。このとき、入力データDA, DBはそれぞれ $da5, db5$ に変化するが、書き込みイネーブル信号ENBが”L”レベルである為、セクタ20は値”-1”を選択し、セクタ21はレジスタ24の出力信号 $D0=da4+db4$ を選択し、 $SA=-1, SB=da4 + db4$ となる。また、キャリー入力信号CIの論理値は”1”になる。従って、加算器22において $-1+da4+db4+1$ の加算が行われ、その出力信号 $S0$ は $S0=da4 + db4$ となる。

【0032】

この実施の形態においても、第1の実施の形態と同様に、データ入力からレジスタに保持するまでのデータパスのゲート段数を少なく構成できるので、高速化が容易であり、また低消費電力化も図ることが出来る。

【0033】

[第3の実施の形態]

図5は、この発明の第3の実施の形態における演算回路の構成を示す回路図である。ラッチ30の入力端子Iには、一方の入力信号DAが接続され、イネーブル入力端子Eには書き込みイネーブル信号ENBが入力されている。同様にラッチ31の入力端子Iには、他方の入力信号DBが接続され、イネーブル入力端子Eには書き込みイネーブル信号ENBが入力されている。ENBは、レジスタ33の書き込みイネーブル信号であり、ENB="H"レベルの時書き込み可能となり、ENB="L"のとき書き込み不可（値を保持）となる。この信号ENBはラッチ回路30、31にも接続されており、このラッチ回路はENB="H"レベルの時に入力データをそのまま通過させ（ $O=I$ ）、ENB="L"レベルの時にデータをラッチする。

【0034】

ラッチ回路30、31からの出力信号SA,SBは加算器32の加算入力に接続され、信号SAとSBの加算結果が出力信号S0として出力され、この信号はレジスタ33に入力される。

【0035】

以下、動作について詳細に説明する。図6は、本実施の形態における演算回路の動作を説明する為のタイムチャートである。簡単のため、時刻T0以前は、データDA、DB、レジスタ24及びラッチ回路30、31は図示しないリセット信号により値"0"に初期化されているものとする。

【0036】

時刻T0において、データDA,DBはそれぞれda0,db0となるが、書き込みイネーブル信号ENBが"L"レベルである為、ラッチ回路30、31は、初期化された値"0"を出力し、SA=SB="0"となる。この時の加算器32の出力S0はS0="0"である。

【0037】

時刻T1において、クロック信号CLKの立ち上がりエッジで、レジスタ33はこの加算結果S0をラッチする。入力データDA,DBはそれぞれda1,db1に変化し、書き込みイネーブル信号ENBは"H"レベル（有効）となる。この時ラッチ回路30、31はそれぞれ入力DA,DBをそのまま出力する。従って、SA=DA=da1、SB=DB=db1となるので、加算器32の出力S0は $S0=da1 + db1$ となる。

【 0 0 3 8 】

時刻T2において、クロック信号CLKの立ち上がりエッジでレジスタ33は、この加算結果 $S0=da1 + db1$ をラッチする。この時刻T2において、入力データDA,DBはそれぞれda2,db2に変化するが、書き込みイネーブル信号ENBが”L”レベルであるので、ラッチ回路30,31の出力は、ラッチしたデータ出力を維持し、 $SA=da1$, $SB=db1$ となる。このように、ENB=”L”レベルとなっても加算器の入力状態は変化しないので、加算器の内部状態も変化せず、その分消費電力が低減される。

【 0 0 3 9 】

時刻T3においては、クロック信号CLKの立ち上がりエッジで加算器32の出力信号S0の値をラッチするが、この値は $S0=da1 + db1$ であるので、レジスタ33に保持される値は変化しない。この時、入力データDA,DBはそれぞれda3,db3に変化するが、書き込みイネーブル信号ENBが”L”レベルである為に、時刻T2の時と同様に、加算器12の入力信号SA,SB及び出力信号S0は変化せず $S0=da1 + db1$ となる。

【 0 0 4 0 】

時刻T4では、クロック信号CLKの立ち上がりエッジでこの出力信号S0がラッチされ、レジスタ33の内容は変化しない。時刻T4では、入力データDA,DBはそれぞれda4,db4に変化し、書き込みイネーブル信号ENBが”H”レベルとなるので、ラッチ回路30,31はそれぞれ $DA=da4$, $DB=db4$ を出力する。加算器32の入力は、 $SA=da4$, $SB=db4$ であるので、出力は $S0=da4 + db4$ となる。

【 0 0 4 1 】

時刻T5におけるクロック信号CLKの立ち上がりエッジで、レジスタ33は、この演算結果 $S0=da4 + db4$ をラッチする。このとき、入力データDA,DBはそれぞれda5,db5に変化するが、書き込みイネーブル信号ENBが”L”レベルである為、ラッチ回路の出力信号SA,SBは前の状態を維持して変化しない。従って、加算器32の入力S0も変化せず、 $S0=da4 + db4$ となる。

【 0 0 4 2 】

この実施の形態においても、第1、第2の実施の形態と同様に、データ入力からレジスタに保持するまでのデータパスのゲート段数を少なく構成できるので、

高速化が容易であり、また、この実施の形態においては、ENB="L"レベルの時に入力に変化しても、加算器に入力されるデータは変化しないので、加算器の内部状態も変化しない。したがって更なる低消費電力化を図ることが出来る。

【0043】

尚、本発明は前述の実施の形態に限定されるものではなく、本発明の趣旨に基づいて種々変形させることが可能である。例えば、第1の実施の形態においては、セクタ11の入力"0"の代わりに"1"を入力することにより、加算器12を乗算器に代えて乗算回路とすることも可能である。また、第3の実施の形態では、加算器32を乗算器に置き換えることにより、そのままの回路構成で乗算回路を構成することができる。

【0044】

【発明の効果】

以上詳細に説明したように、請求項1に係る発明によれば、一方の入力データDAと固定データ"0"が入力され、該データが制御信号ENBにより選択出力される第1のセクタと、他方の入力データDBと後記レジスタの出力データが入力され、該データが前記制御信号ENBにより選択出力される第2のセクタと、前記第1のセクタの出力信号SAと前記第2のセクタの出力信号SBを入力してSA+SBを演算する加算器と、該加算器の出力信号S0を入力して、クロック信号に同期して該出力信号を保持するレジスタとを備えた構成としたので、データ入力からレジスタに保持するまでのデータパスのゲート段数を少なく構成でき、高速化が容易であり、また低消費電力化も図ることが出来る。

【0045】

また、請求項2に係る発明によれば、一方の入力データDAと固定データ"-1"が入力され、該データが制御信号ENBにより選択出力される第1のセクタと、他方の入力データDBと後記レジスタの出力データが入力され、該データが前記制御信号ENBにより選択出力される第2のセクタと、前記制御信号ENBを入力してその反転信号を出力するインバータ回路と、前記第1のセクタの出力信号SAと前記第2のセクタの出力信号SBとを加算入力に入力すると共に、前記インバータ回路の出力信号をキャリー入力端子CIに入力し、SA+SB+CIの演算を行う加算器と

、該加算器の出力信号S0を入力して、クロック信号に同期して該出力信号を保持するレジスタとを備えた構成としたので、データ入力からレジスタに保持するまでのデータパスのゲート段数を少なく構成でき、高速化が容易であり、また低消費電力化も図ることが出来る。

【0046】

更に、請求項3に係る発明によれば、一方の入力データDAを入力し、制御信号ENBが有効の時に該入力データを通過させ、該制御信号が無効の時にデータを保持する第1のラッチ回路と、他方の入力データDBを入力し、制御信号ENBが有効の時に該入力データを通過させ、該制御信号が無効の時にデータを保持する第2のラッチ回路と、前記第1のラッチ回路の出力信号SAと前記第2のラッチ回路の出力信号SBを入力してSA+SBを演算する加算器と、該加算器の出力信号S0を入力して、クロック信号に同期して該出力信号を保持するレジスタとを備えた構成としたので、データ入力からレジスタに保持するまでのデータパスのゲート段数を少なく構成でき、高速化が容易であり、また、ENB信号が無効の時に入力に変化しても、加算器に入力されるデータは変化しないので、加算器の内部状態も変化せず、更なる低消費電力化を図ることが出来る。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態における演算回路の構成を示す回路図である。

【図2】

図1の演算回路の動作を説明するためのタイムチャートである。

【図3】

本発明の第2の実施の形態における演算回路の構成を示す回路図である。

【図4】

図3の演算回路の動作を説明するためのタイムチャートである。

【図5】

本発明の第3の実施の形態における演算回路の構成を示す回路図である。

【図6】

図5の演算回路の動作を説明するためのタイムチャートである。

【図 7】

従来の演算回路の構成を示す回路図である。

【図 8】

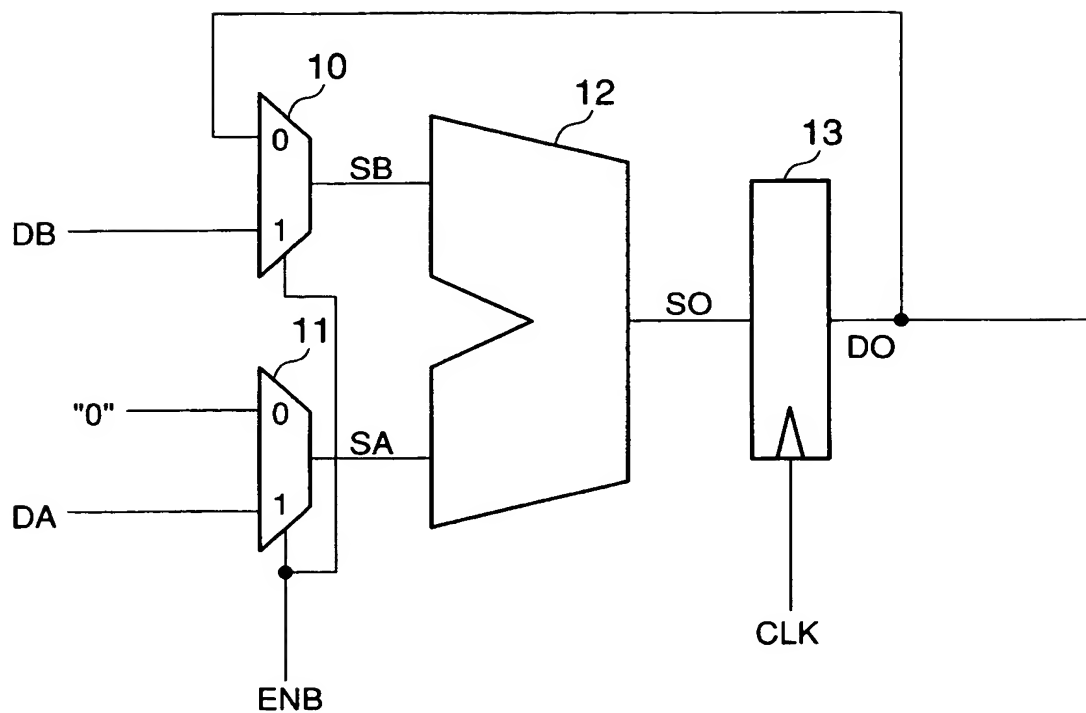
従来の演算回路の動作を説明するためのタイムチャートである。

【符号の説明】

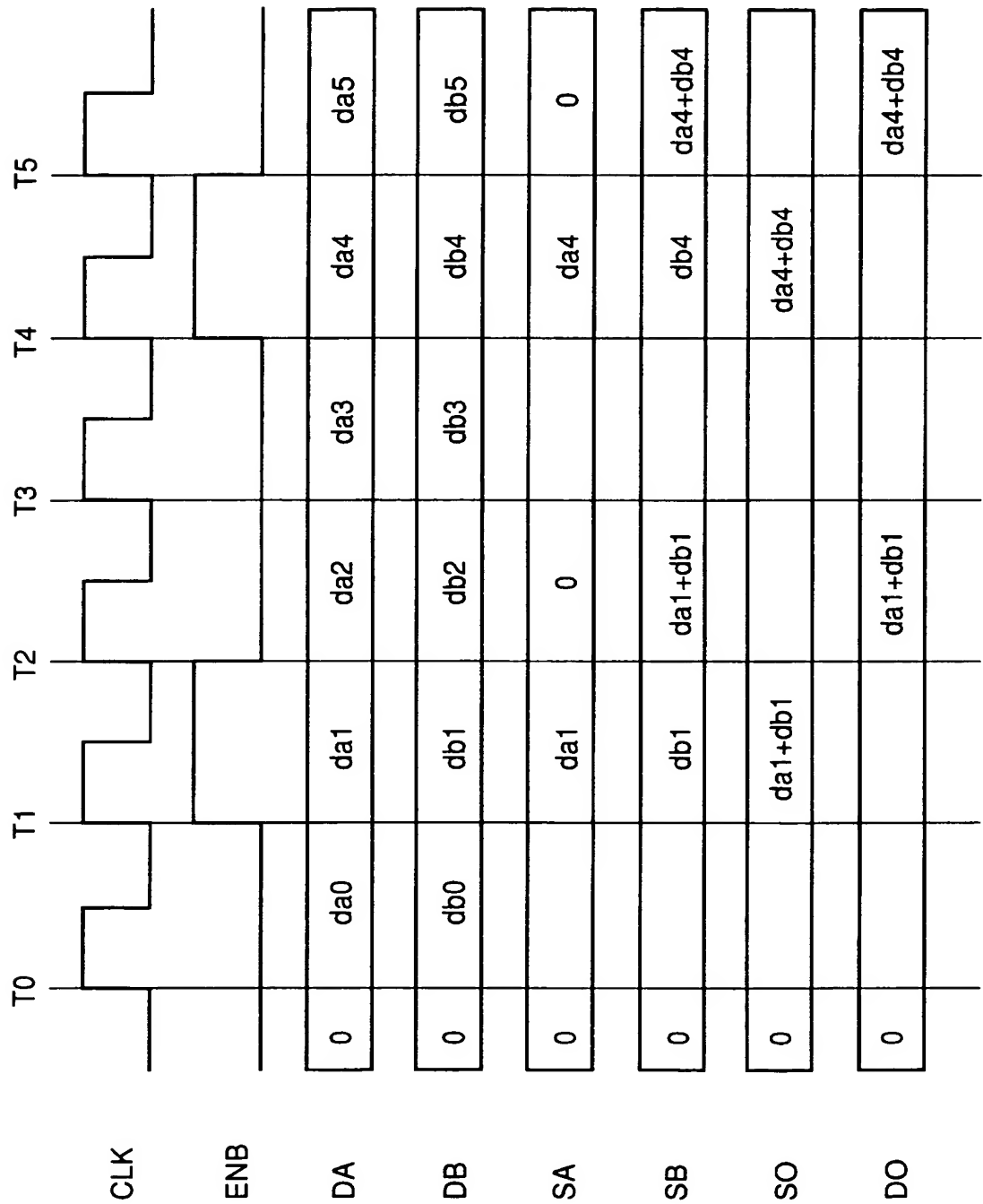
1 0, 1 1, 2 0, 2 1	セレクタ
1 2, 2 2, 3 2	演算回路
1 3、2 4, 3 3	レジスタ
2 3	インバータ
3 0, 3 1	ラッチ回路

【書類名】 図面

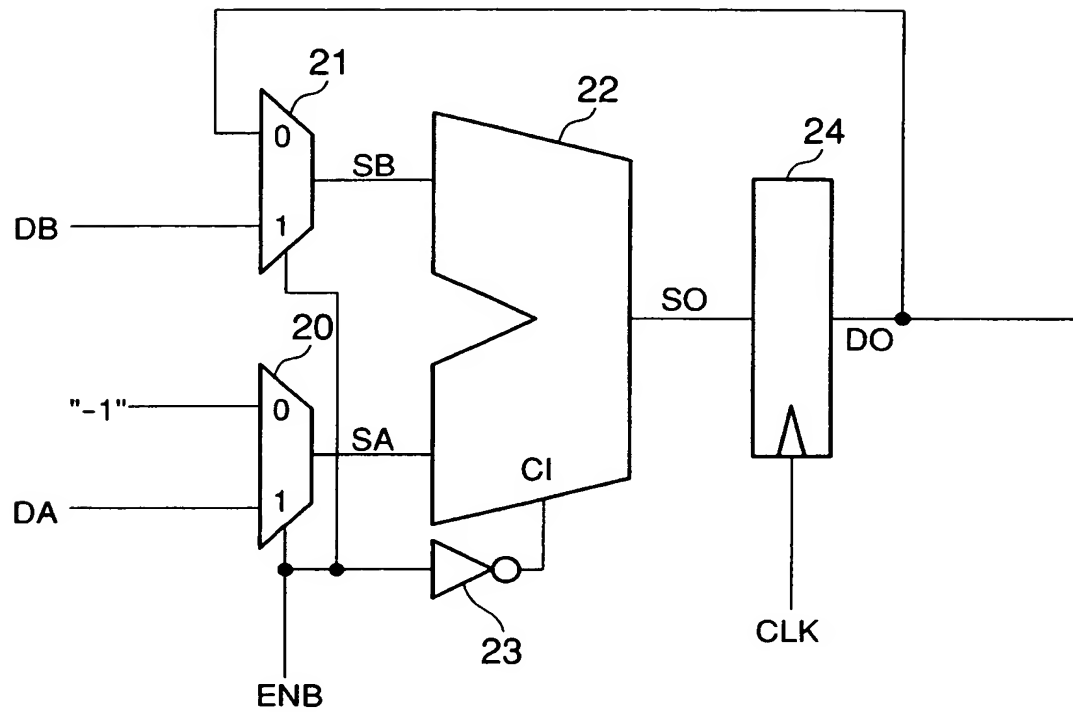
【図 1】



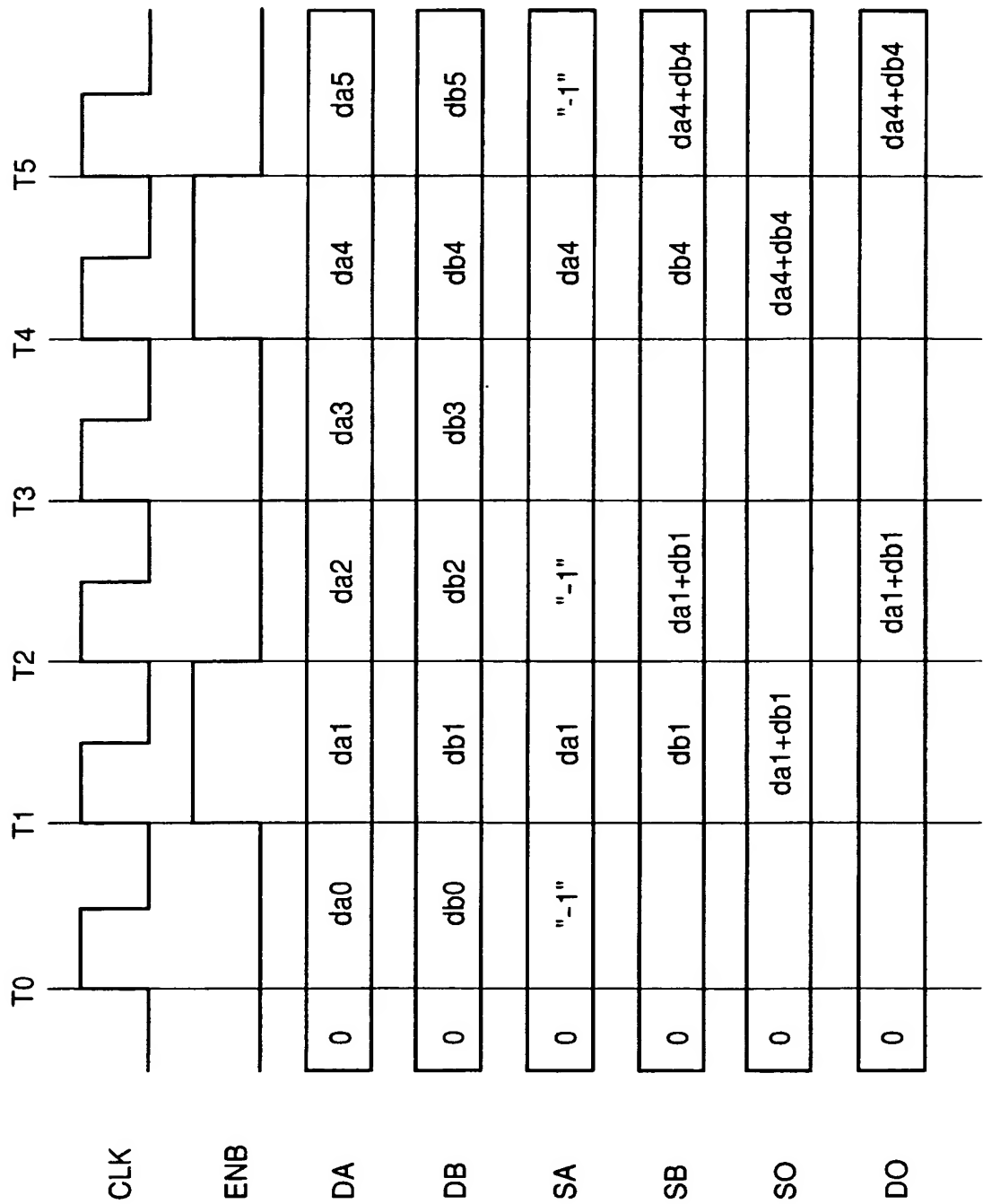
【図 2】



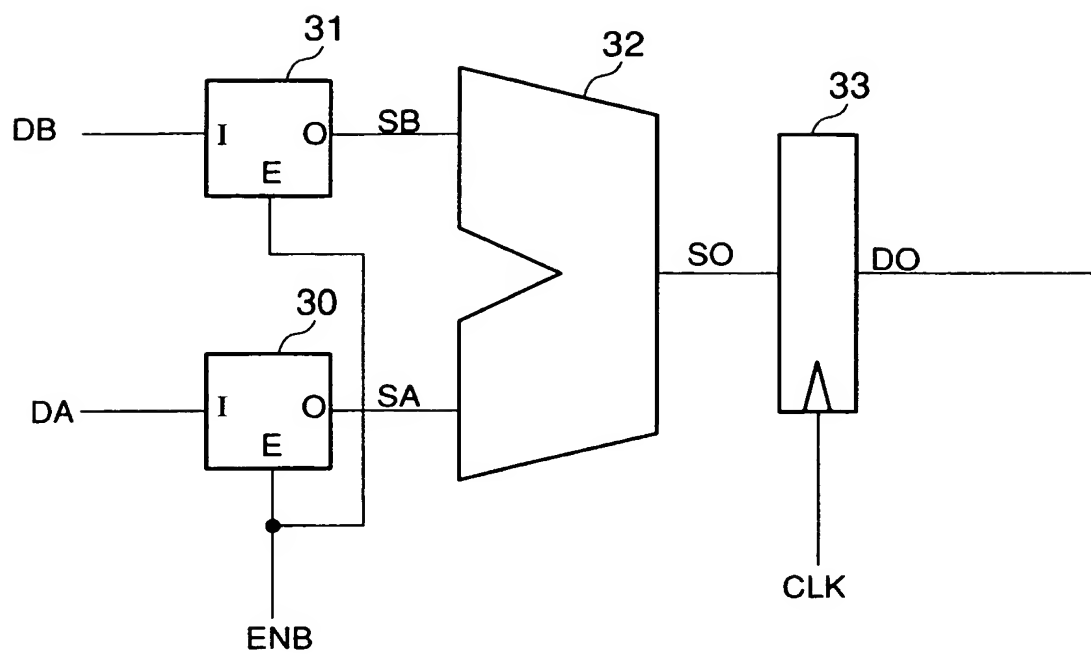
【図 3】



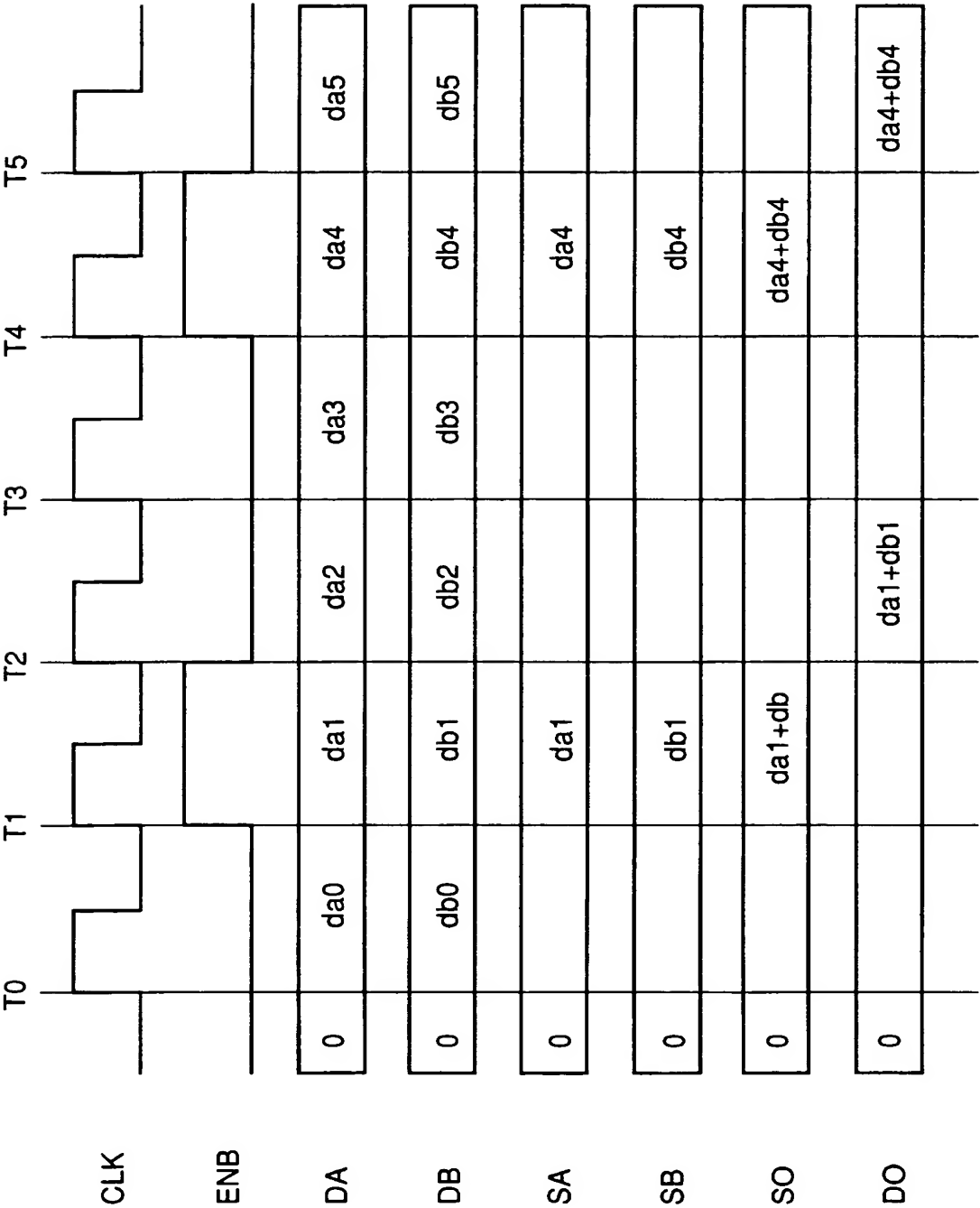
【図 4】



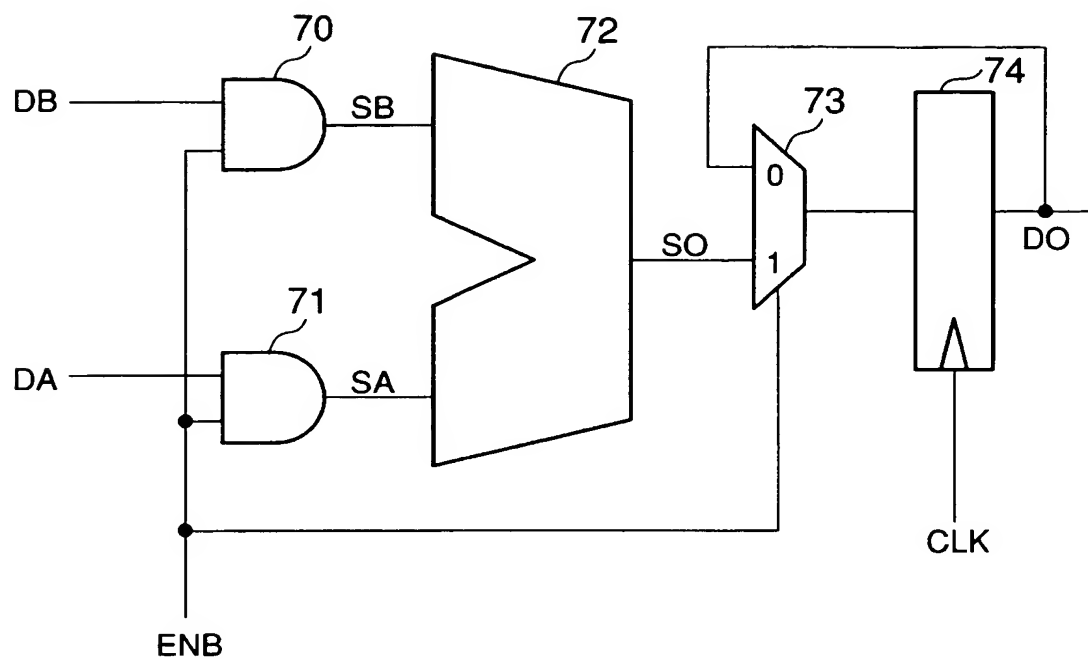
【図 5】



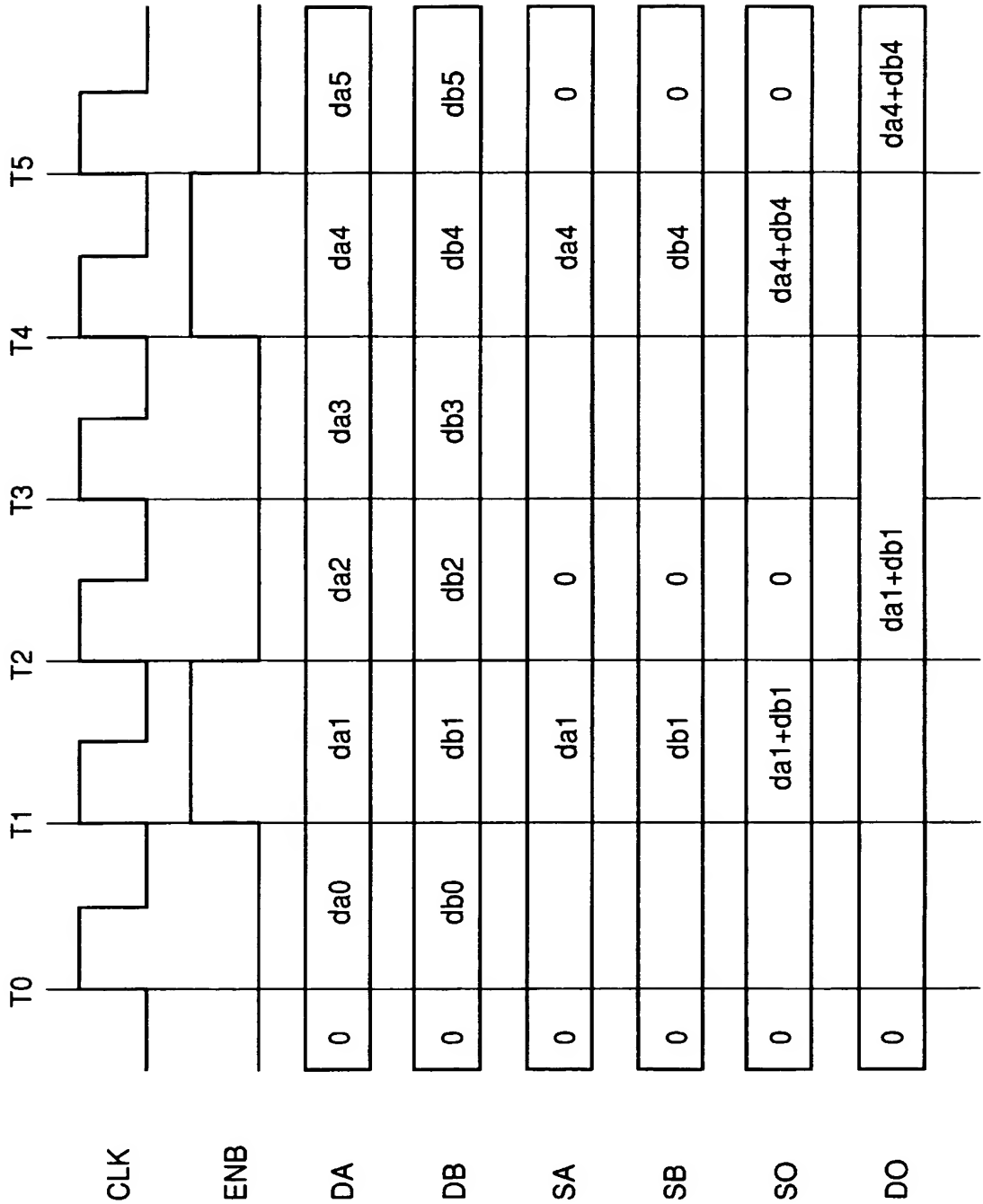
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 被演算データの入力から、演算結果の出力までの遅延を極力小さくした演算回路を提供する。

【解決手段】 一方の入力データDAと固定データ"0"が入力され、このデータが制御信号ENBにより選択出力される第1のセクタ11と、他方の入力データDBとレジスタの出力データが入力され、このデータが前記制御信号ENBにより選択出力される第2のセクタ10と、第1のセクタ11の出力信号SAと第2のセクタ10の出力信号SBを入力してSA+SBを演算する加算器12と、この加算器12の出力信号S0を入力して、クロック信号に同期してこの出力信号を保持するレジスタ13とを備えた構成としている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 7 7 4 0 9
受付番号	5 0 3 0 1 0 3 7 5 1 5
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 6 月 2 4 日

< 認定情報・付加情報 >

【提出日】	平成15年 6月23日
-------	-------------

次頁無

特願 2 0 0 3 - 1 7 7 4 0 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社